

流水线模数转换器中高速低功耗 开环余量放大器的设计

张鸿, 陈贵灿, 程军, 贾华宇

(西安交通大学电子与信息工程学院, 710049, 西安)

摘要: 为了降低流水线模数转换器(ADC)中余量放大器的功耗并提高其速度,提出了一种新的开环余量放大器结构及其增益控制方法。该放大器采用简单差动对结构,并使用放大器的复制电路和一个差动差值放大器来控制主放大器输入对管的跨导,以稳定开环余量放大器的增益。所提出的放大器结构可以工作在低电源电压下,而且不需要共模反馈电路,与采用共源共栅结构和共模反馈的开环放大器相比,功耗更低,响应速度更快。仿真结果表明,所提开环余量放大器的功耗仅为5.5 mW,在满幅度阶跃输入的情况下,输出建立时间小于3 ns。将该开环余量放大器应用到采用数字校准的流水线ADC中,实现了采样率为 $4 \times 10^7 \text{ s}^{-1}$ 的12位模数转换。

关键词: 模数转换器; 流水线; 开环余量放大器; 数字校准

中图分类号: TN432 **文献标志码:** A **文章编号:** 0253-987X(2008)06-0751-05

Low Power and High Speed Open-Loop Residue Amplifier for Pipelined Analog-to-Digital Converters

ZHANG Hong, CHEN Guican, CHENG Jun, JIA Huayu

(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: To reduce the power consumed by the residue amplifier in pipelined analog-to-digital converter (ADC) and enhance its speed, a new topology of the open-loop residue amplifier and its gain control circuit were presented. The open-loop residue amplifier adopts a simple differential architecture. In order to stabilize the gain of the amplifier, a replica amplifier and a differential difference amplifier are used to control the transconductance of the amplifier's input transistors. The proposed open-loop residue amplifier can be used in applications of lower supply voltage. Common-mode control circuits are not needed for the amplifier because the gain control circuit has no influence on the output common-mode level of the amplifier. The proposed amplifier achieves the designs of lower power consumption and higher response speed compared with the amplifier that adopts cascode and common-mode feedback architecture. Designed in a 0.18 μm CMOS technology, the open-loop amplifier consumed only 5.5 mW at a 1.8 V supply voltage. The settling time of the open-loop residue amplifier is less than 3 ns at maximum step input. A pipelined ADC using this open-loop residue amplifier achieves a resolution of 12 bit and a sampling rate of $4 \times 10^7 \text{ s}^{-1}$ by carrying out digital calibration in background.

Keywords: analog-to-digital converter; pipeline; open-loop residue amplifier; digital calibration

传统的流水线模数转换器(ADC)中,余量放大器由闭环形式的高性能运放实现,因此消耗了大量

的功耗,并且大大限制了转换速度.用简单开环放大器取代传统的高精度余量放大器,已成为近年来流水线 ADC 研究的热门课题^[1-4].文献[2]采用开环余量放大器结合时间交替转换实现了采样率为 $8 \times 10^8 \text{ s}^{-1}$ 的 6 位流水线 ADC,但其开环放大器的增益受温度和工艺的影响很大,限制了转换精度.文献[3]采用数字校准技术校准开环余量放大器的线性与非线性误差,实现了 12 位的转换精度,但其开环余量放大器采用共源共栅结构,不利于采用低电源电压以进一步降低功耗,且其放大器需要共模稳定电路,降低了放大器的稳定性和响应速度.

本文提出了一种 1.8 V 电源电压下的开环余量放大器及其增益控制电路,进一步降低了放大器的功耗,提高了速度,并将其应用在采用后台数字校准技术的流水线 ADC 中,实现了采样率为 $4 \times 10^7 \text{ s}^{-1}$ 的 12 位模数转换.

1 用开环放大器取代闭环放大器

传统的高精度流水线 ADC 对其第 1 级的余量放大器要求最高,通常需要 100 dB 以上的开环增益,所以需要共源共栅、增益提高等复杂的结构来实现^[5],其结果是功耗非常大.如果采用开环余量放大器,则可以使功耗大为降低,速度也将得到很大的提高.

1.1 开环放大器的非线性误差与校准

开环放大器的增益存在很严重的非线性误差.对于差动开环放大器,其输入输出关系可表示为^[1]

$$y(t) = a_1 x(t) + a_3 x(t)^3 + a_5 x(t)^5 + \dots \quad (1)$$

式中: $y(t)$ 和 $x(t)$ 分别是放大器的输出和输入信号; a_1 是放大器的线性增益; a_3 和 a_5 分别是 3 阶和 5 阶非线性误差系数.式(1)中忽略了由于电路失配引起的偶次非线性误差.

理论上只要确定了式(1)中所有的系数,就可以对 ADC 的转换结果进行校准.这里仅以第 1 级采用开环余量放大的 ADC 为例,说明校准过程.第 1 级的子 ADC 对采样保持器的输出进行转换,得到数字输出 D_1 ,子数模转换器(DAC)将 D_1 再转换为模拟信号后与输入信号相减得到本级的余量电压 V_1 , V_1 经过放大后的电压 V_{res} 被送入下一级转换电路.第 1 级的开环余量放大器使得后端 ADC 的转换结果 D_{b1} 存在非线性误差. D_{b1} 减去误差函数 $E(D_{b1})$ 得到的误差,再乘以比例系数 $1/a_1$ 后,得到 V_1 的数字量 D_b . D_b 与 D_1 进行移位相加之后得到校准后的正确转换结果 D_{out} .具体过程如图 1 所示.

示^[6].

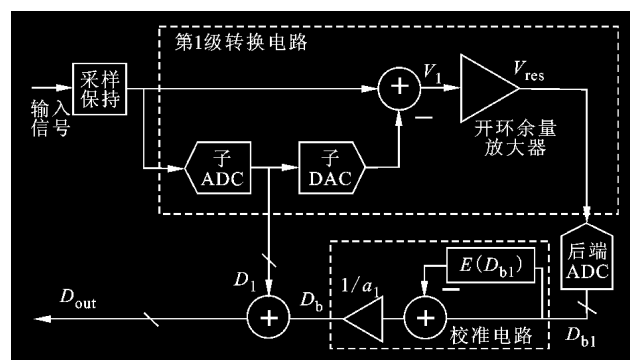
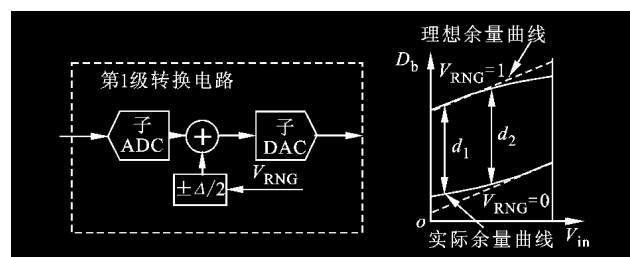


图1 采用数字校准的流水线 ADC 框图

1.2 非线性系数的确定

文献[3]的研究表明,只要将开环放大器输入晶体管的过驱动电压设为满幅度输入电压的 2 倍以上,非线性误差就主要由 3 阶非线性决定,而高阶非线性的总误差可以降到 0.1% 以下,因此可以忽略.这样,校准电路只需确定式(1)中系数 a_1 和 a_3 的值,从而大大降低了校准电路的复杂度和电路规模.

本文 ADC 采用一种基于统计的算法来确定开环余量放大器的非线性系数^[3].该方法用随机码信号 RNG 对第 1 级的结果进行调制,使第 1 级的余量曲线为双余量曲线,如图 2 所示.从 ADC 上电开始,参数估计电路对图 1 中的 D_b 进行统计和计算,确定出余量曲线上指定两点处双余量曲线之间的距离 d_1 和 d_2 ,然后求出它们的差.在 ADC 转换的过程中,不断优化图 1 中 $E(D_{b1})$ 的参数,直至 d_1 和 d_2 之差为 0,校准结束,得出 a_1 和 a_3 的正确值.



(a) 随机码调制框图 (b) 双余量曲线
 Δ : 第 1 级的最大量化误差; V_{RNG} : 随机码信号电压

图2 基于统计的非线性参数估计示意图

该算法的收敛时间约为 1.25 s,也就是说 ADC 在上电之后约 1.25 s 开始输出正确的转换结果.

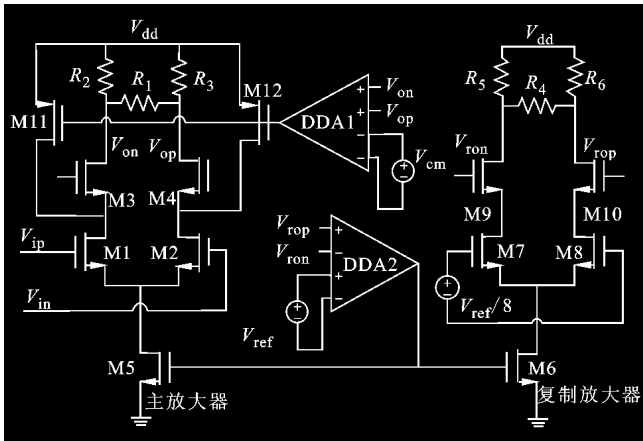
1.3 开环放大器的增益控制

本文 ADC 的第 1 级的位数为 4 位,余量放大器的放大倍数设为 8.校准算法要求第 1 级开环余量放大器的增益变化量小于 1,所以必须引入增益控制电路,以减小温度和工艺变化对增益的影响.

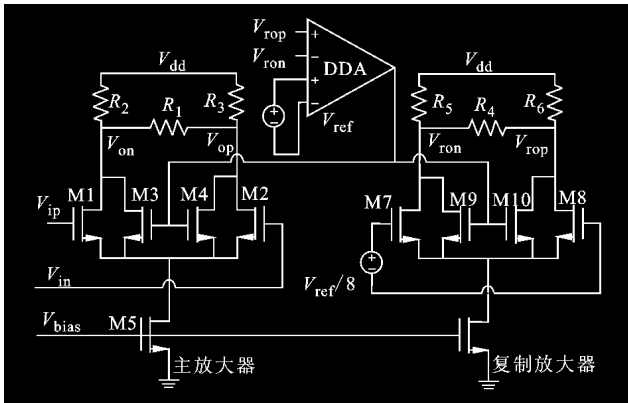
2 开环余量放大器的电路结构

文献[3]中的开环余量放大器采用由复制放大器和差动差值放大器(DDA)组成的反馈网络来实现对主放大器的增益和共模电平控制,如图 3a 所示.这种放大器的共源共栅结构很难应用于 1.8 V 以下的低电源电压,主放大器引入了共模反馈,使得电路比较复杂,稳定性降低,响应速度也受到影响.

针对上述缺点,本文提出了一种新的开环余量放大器及其增益控制电路,如图 3b 所示.



(a) 文献[3]的放大器电路结构图



(b) 本文提出的开环放大器电路结构图

M1~M12: MOS 晶体管; $R_1 \sim R_6$: 多晶硅电阻; V_{dd} : 电源电压;

V_{ron}, V_{rop} : 复制放大器差动输出电压; V_{in}, V_{ip} : 差动输入电

压; V_{op}, V_{on} : 主放大器差动输出电压; V_{ref} : 基准电

压; V_{cm} : 共模电压; V_{DDA} : DDA 输出电压

图 3 开环余量放大器电路结构图

图 3b 中放大器采用低电压的简单差分对结构,增益控制电路由一个复制放大器和一个 DDA 组成,通过控制输入晶体管的跨导来控制 2 个放大器的增益.

复制放大器的输入是一个值为 $V_{ref}/8$ 的电压源 (V_{ref} 为 ADC 的参考电压),其输出电压表示为

$$V_{out} = (V_{rop} - V_{ron}) \approx g_{m,M7} R_L (V_{ref}/8) \quad (2)$$

式中: $g_{m,M7}$ 是 M7 的跨导 ($g_{m,M7} = g_{m,M8}$); R_L 是 π 形电阻网络 R_4, R_5 和 R_6 的等效电阻. DDA 用来放大 2 组差动电压的差值,其输出电压 V_{DDA} 表示为^[7]

$$V_{DDA} = A_{DDA} [(V_{rop} - V_{ron}) - V_{ref}] \quad (3)$$

式中: A_{DDA} 为 DDA 的小信号增益.

当温度或工艺的变化使 $(V_{rop} - V_{ron})$ 增大时, V_{DDA} 随之增大,这样流过 M9 的电流 $I_{D,M9}$ 增大 ($I_{D,M9} = I_{D,M10}$),而 M7 的电流 $I_{D,M7}$ 减小 ($I_{D,M7} = I_{D,M8}$). M7 的跨导 $g_{m,M7}$ 与 $I_{D,M7}$ 的关系为

$$g_{m,M7} = [2K_n(W/L)_{M7} I_{D,M7}]^{1/2} \quad (4)$$

式中: K_n 为 N 型 MOS 管的跨导系数; W 和 L 分别为 MOS 管的宽和长. $I_{D,M7}$ 与 V_{DDA} 之间的关系为

$$I_{D,M7} = \frac{I_{D,M6}}{2} - \frac{K_n}{2} \left(\frac{W}{L} \right)_{M9} (V_{DDA} - V_{OD,M6} - V_{TH})^2 \quad (5)$$

式中: $I_{D,M6}$ 为 M6 的漏源电流; $V_{OD,M6}$ 为 M6 管的过驱动电压; V_{TH} 为 MOS 管的阈值电压. 式(5)表明,当 V_{DDA} 增加时, $I_{D,M7}$ 减小,也就是使 $g_{m,M7}$ 减小,从而降低复制放大器的增益.

由式(2)~式(5)所示的负反馈会使 $(V_{rop} - V_{ron})$ 接近 V_{ref} ,也就是使得复制放大器的增益接近 8. 由于主、复制放大器的结构和性能完全一致,所以主放大器的增益也被控制到接近 8.

输出共模电平是差动放大器的一个重要指标. 图 3b 中主放大器的输出共模电平 V_{CM} 可以表示为

$$V_{CM} = V_{dd} - I_{D,M5} R_2 / 2 \quad (6)$$

式中: V_{dd} 为电源电压; $I_{D,M5}$ 是尾管 M5 的漏源电流. 由于 $I_{D,M5}$ 由带隙基准电流源提供偏置,受温度和工艺变化的影响很小,所以 V_{CM} 只受电阻 R_2 的温度特性和工艺的影响. 通过选择 P 型多晶硅来实现负载电阻,使其温度系数很低,从而可以将 V_{CM} 控制在下一级电路的输入共模电平范围之内.

由于所设计的放大器不存在转换问题,也不受共模反馈的影响,因此当输入一个阶跃信号使其输出电压从 0 变到 V_{ref} 时,输出电压与时间的关系为

$$V_{out}(t) = V_{ref} (1 - e^{-t/\tau}) \quad (7)$$

式中: $\tau = R_L C_L$, 其中 C_L 为负载电容. 由式(7)确定的建立时间将远小于闭环放大器的建立时间^[2].

本文提出的开环余量放大器的一个缺点是当主、复制放大器的输入共模电平不相等时, M5 与 M6 的漏端电压也不相等. 这样, V_{DDA} 在 M9、M10 上产生的电流与在 M3、M4 上产生的电流不相等,这会使得 2 个放大器的增益不一致,但在本文 ADC

中的第1级转换电路中,实现减法的差值电路(见图1)所采用的共模电平基准为 V_{ref} 的共模电平,从而使得2个放大器的输入共模电平始终相等。

3 电路设计

3.1 主放器和复制放大器

本文所设计放大器的负载采用 π 型电阻网络的目的是通过 R_2 、 R_3 、 R_5 和 R_6 来确定输出共模电平,而通过调节 R_1 和 R_4 来调整增益,这样使得调整增益不影响共模电平^[3]。为了降低功耗,主、复制放大器的尾电流都设计为1.5 mA。输入管M1、M2、M7、M8的宽长比设计为 $144\ \mu\text{m}/0.18\ \mu\text{m}$,控制管M3、M4、M9和M10的宽长比设计为 $60\ \mu\text{m}/0.18\ \mu\text{m}$,电阻 R_2 、 R_3 、 R_5 和 R_6 为 $1.2\ \text{k}\Omega$, R_1 和 R_4 为 $4\ \text{k}\Omega$ 。输入信号的共模电平保证了输入管的 V_{OD} 为250 mV,是满幅度输入电压的4倍,从而可以很好地抑制高阶非线性误差。

3.2 差值差动放大器 DDA

图3b中的DDA为2级结构,第1级由1个差动对交叉组成,其输出连接到由M7和M11组成的第2级的输入端,如图4所示。图中M5、M6和M7的偏置电流 I_{bias} 均设为 $30\ \mu\text{A}$ 。M3和M4管的栅端接图3b中复制放大器的 V_{rop} 和 V_{ron} ,M1和M2的栅端接差动基准源 V_{ref} 的两端。当 $(V_{rop}-V_{ron})$ 的值升高时, V_{DDA} 增大。为了提高DDA自身的稳定性,设计了补偿电阻 R_z 和电容 C_c 。

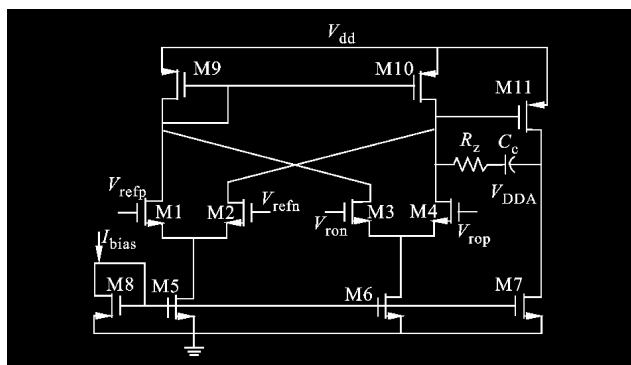


图4 差动差值放大器 DDA

4 电路模拟结果及分析

本文的开环余量放大器及ADC采用SMIC $0.18\ \mu\text{m}$ CMOS工艺进行设计,并在1.8 V电源下进行了后仿真。DDA的仿真结果如图5所示,其直流增益为48 dB,相位裕度为 71° ,从而保证了余量放大器控制环路的增益和稳定性。

在N型和P型MOS管的快速工艺角(FF)、典型工艺角(TT)和慢速工艺角(SS)条件下,对整个放大器的性能进行了仿真,结果如图6所示。针对图6a中的3条曲线,用多项式拟合工具计算出式(1)中各个系数的值,从而可得出非线性误差的大小。其

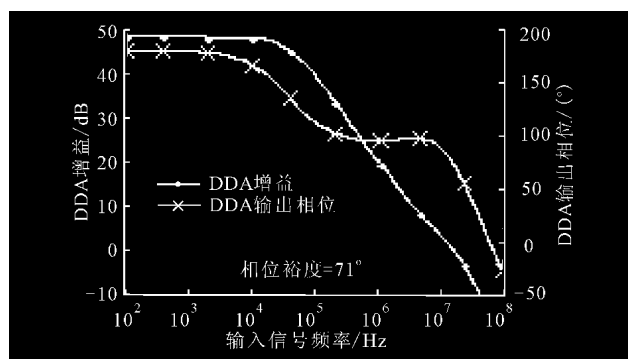
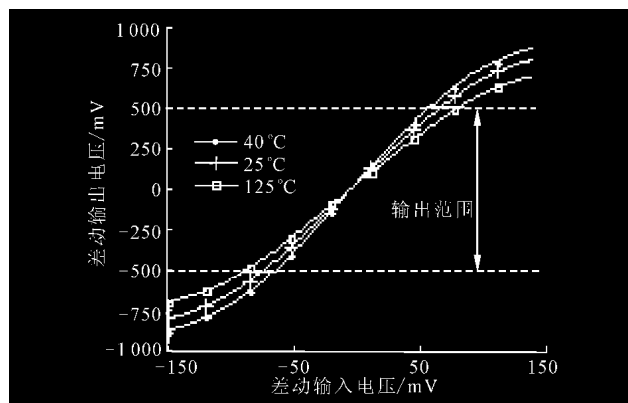
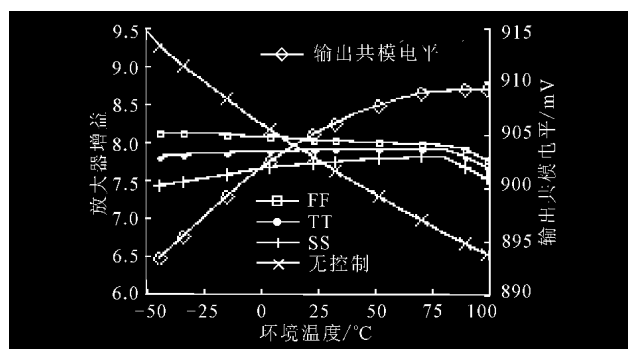


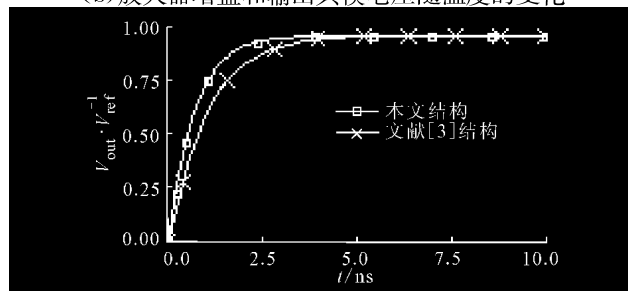
图5 DDA增益的幅频和相频特性



(a)差动输入输出特性



(b)放大器增益和输出共模电压随温度的变化



(c)阶跃响应时间

图6 开环余量放大器性能仿真结果

中,125℃时的非线性误差最大,3阶误差为5.8%,该误差由校准电路进行校准,而5阶以上的总误差约为0.1%(统计到11次),满足校准算法的要求。

校准算法要求开环放大器增益变化范围为7~8,考虑到电荷共享效应造成的衰减,增益设计为7.5~8.5。从图6b中可以看出,在没有采用增益控制的情况下,增益范围为6.3~9.5,大大超出了要求,而采取增益控制后,在所有工艺角、全温度范围内,增益为7.5~8.3,满足算法要求,且输出共模变化小于20 mV,完全满足下一级的要求。

从图6c中可以看出,在满幅度阶跃输入的情况下,本文放大器的建立时间小于3 ns,比图3a的放大器降低了至少1 ns。

本文设计的开环余量放大器的功耗为5.5 mW,而传统闭环余量放大器的功耗在40 mW左右^[5],文献[3]中的开环余量放大器功耗为10 mW,所以本文的开环余量放大器进一步降低了整个ADC的功耗。

图7为采用本文开环余量放大器的流水线ADC流片后的芯片照片。测试结果表明,ADC实现了采样率为 $4 \times 10^7 \text{ s}^{-1}$ 的12位模数转换。考虑到测试电路将引入寄生负载,ADC中没有设计开环余量放大器的测试端口,但ADC的测试结果足以说明开环余量放大器能正常工作。ADC芯片面积为 $3.2 \text{ mm} \times 3.7 \text{ mm}$,功耗为210 mW,开环放大器的面积为 $150 \mu\text{m} \times 220 \mu\text{m}$ 。

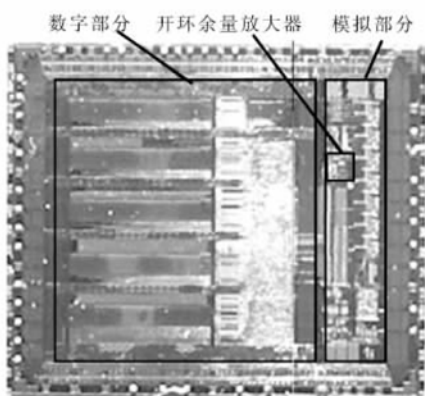


图7 ADC的芯片照片

5 结 论

本文提出了一种应用于流水线ADC的开环余量放大器,采用复制电路控制放大器输入管的跨导,以减小温度及工艺变化对放大器增益的影响,同时不影响输出共模电平。简单差动对结构使得放大器的电源电压可以降到1.8 V以下,从而使功耗进一步降低。测试结果表明,本文放大器实现了高速、低功耗的应用,并且其增益非线性误差以及随温度、工艺的变化均在校准算法要求的范围之内。本文提出的开环余量放大器应用到采用数字校准的流水线ADC中,实现了采样率为 $4 \times 10^7 \text{ s}^{-1}$ 的12位模数转换。

参考文献:

- [1] IROAGA E, MURMANN B. A 12-Bit 75-MS/s pipelined ADC using incomplete settling [J]. IEEE J Solid-State Circuits, 2007, 42(4): 748-756.
- [2] SHEN D L, LEE T C. A 6-bit 800-MS/s pipelined A/D converter with open-loop amplifiers [J]. IEEE J Solid-State Circuits, 2007, 42(2): 258-268.
- [3] MURMANN B, BOSER B E. A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification [J]. IEEE J Solid-State Circuits, 2003, 38(12): 2040-2050.
- [4] TAVASSOLI B, SHOAEE O. Digital background calibration of pipeline ADC with open-loop gain stage [C] // Proceedings of 2006 IEEE International Symposium on Circuits and Systems. Piscataway, NJ, USA: IEEE, 2006: 5255-5258.
- [5] YANG W, KELLY D, MEHR I, et al. A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist input [J]. IEEE J Solid-State Circuits, 2001, 36(12): 1931-1936.
- [6] MURMANN B, BOSER B E. Digitally assisted pipeline ADCs [M]. Boston, MA, USA: Kluwer Academic, 2004: 71-72.
- [7] ALZAHER H, ISMAIL M. A CMOS fully balanced differential difference amplifier and its applications [J]. IEEE Trans on Circuits and Systems: II, Analog and Digital Signal Processing, 2001, 48(6): 614-620.

(编辑 刘杨)